

УДК 004.056

DOI: [10.26102/2310-6018/2026.54.3.005](https://doi.org/10.26102/2310-6018/2026.54.3.005)

Оценка характеристик открытых декодеров БЧХ и РС кодов, реализованных на современных FPGA

В.В. Хрусталеv✉

Санкт-Петербургский государственный университет аэрокосмического приборостроения, Санкт-Петербург, Российская Федерация

Резюме. Характеристики существующих систем передачи и хранения информации существенно зависят от используемых в них аппаратных блоков контроля и коррекции ошибок. Одними из эффективных методов борьбы с ошибками являются методы помехоустойчивого кодирования, позволяющие исправлять ошибки, которые произошли при передаче или хранении информации. Разработка блоков аппаратного помехоустойчивого кодирования под определенные требования является сложной задачей. От качества решения этой задачи существенно зависит конкурентоспособность конечного продукта. В данной работе приводится описание части библиотеки помехоустойчивых декодеров, которая посвящена одному из интересных классов блочных линейных кодов – кодам Боуза-Чоудхури-Хоквигема (БЧХ кодам) и их важнейшему подклассу, недвоичных БЧХ, кодам Рида-Соломона (РС-кодам). Особенностью библиотеки является то, что характеристики всех входящих в нее блоков были рассчитаны с применением единой современной аппаратной базы. Кроме этого, в работе приводятся методы сопоставления декодеров, реализованных на разных аппаратных платформах. Библиотека помехоустойчивых декодеров поможет разработчикам на ранних этапах создания кодека ознакомиться с существующими аналогами и, возможно, выбрать один из них, вместо разработки собственного. Также разработчикам кодеков библиотека поможет сравнить реализованные ими кодеки с уже имеющимися. Кроме того, библиотека будет полезна при разработке новых алгоритмов декодирования, ориентированных на аппаратную реализацию.

Ключевые слова: помехоустойчивое кодирование, коды БЧХ, коды Рида-Соломона, аппаратные декодеры, ПЛИС.

Благодарности: С благодарностью отмечаю, что работа выполнена при поддержке профессора кафедры аэрокосмических компьютерных и программных систем Санкт-Петербургского государственного университета аэрокосмического приборостроения Шехуновой Наталии Александровны.

Для цитирования: Хрусталеv В.В. Оценка характеристик открытых декодеров БЧХ и РС кодов, реализованных на современных FPGA. *Моделирование, оптимизация и информационные технологии*. 2026;14(3). URL: <https://moitvvt.ru/ru/journal/article?id=2174> DOI: 10.26102/2310-6018/2026.54.3.005

Evaluation of the characteristics of open BCH and RS code decoders implemented on modern FPGAs

V.V. Khrustalev✉

Saint-Petersburg State University of Aerospace Instrumentation, Saint-Petersburg, the Russian Federation

Abstract. The performance of existing data transmission and storage systems depends significantly on the hardware error control and correction units they employ. One effective method for combating errors is error-correcting coding, which allows for the correction of errors that occur during the transmission or storage of information. Developing hardware error-correcting coding units to meet specific

requirements is a complex task. The competitiveness of the final product depends significantly on the quality of the solution to this problem. This paper describes a section of the library of error-correcting decoders dedicated to one of the most interesting classes of block linear codes – Bose-Chaudhuri-Hocquenghem codes (BCH codes) – and their most important subclass, non-binary BCH codes, Reed-Solomon codes (RS codes). A feature of the library is that the characteristics of all the blocks included in it were calculated using a single modern hardware base. Furthermore, the paper presents methods for comparing decoders implemented on different hardware platforms. The library of error-correcting decoders will help developers familiarize themselves with existing codecs early in the development process and potentially choose one over developing their own. The library will also help codec developers compare their codecs with existing ones. Furthermore, the library will be useful when developing new decoding algorithms designed for hardware implementation.

Keywords: error-correcting coding, BCH codes, Reed-Solomon codes, hardware decoders, FPGA.

Acknowledgements: I gratefully acknowledge that this work was completed with the support of Natalia Aleksandrovna Shekhunova, Professor at the Department of Aerospace Computer and Software Systems at the Saint Petersburg State University of Aerospace Instrumentation.

For citation: Khrustalev V.V. Evaluation of the characteristics of open BCH and RS code decoders implemented on modern FPGAs. *Modeling, Optimization and Information Technology*. 2026;14(3). (In Russ.). URL: <https://moitvvt.ru/ru/journal/article?id=2174> DOI: 10.26102/2310-6018/2026.54.3.005

Введение

Известно, что современные устройства, используемые для хранения и передачи информации, содержат в своем составе помехоустойчивые кодеры и декодеры (кодеки), которые позволяют обнаруживать и исправлять ошибки, произошедшие во время передачи (хранения) данных [1]. Необходимость использования помехоустойчивого кодирования обусловлена возникновением ошибок в хранимой или передаваемой информации. Появление ошибок при передаче и хранении информации связано с шумами в линии связи, несовершенством каналаобразующей аппаратуры и современных микросхем памяти.

В зависимости от сферы использования кодеков к ним предъявляются различные требования, основными из которых являются быстродействие, задержка кодирования и декодирования, корректирующая способность, аппаратная сложность, энергопотребление. Дополнительно, к кодеку может предъявляться требование гибкого изменения характеристик кодирования (скорости кодирования, длины кода).

Таким образом, разработка аппаратных блоков помехоустойчивого кодирования является важной и технически сложной задачей. Часто, например, для современных стандартов связи, все параметры помехоустойчивых кодов уже определены и зафиксированы в соответствующих документах, поэтому их разработка не требуется. Однако, не менее важным фактором, (чем сам помехоустойчивый код), влияющим на эффективность помехоустойчивой системы, является способ реализации его декодирования. При этом необходимо учитывать ограничения и требования к разрабатываемому аппаратному блоку.

Как правило, на ранних этапах разработки сложно спрогнозировать аппаратные характеристики (максимальную рабочую частоту, занимаемую площадь и потребляемую энергию) различных алгоритмов декодирования и их возможных реализаций. Как следствие, может быть выбрана такая архитектура помехоустойчивого блока, что ее реализация окажется невозможной или не будет удовлетворять требуемым характеристикам.

Также после разработки декодера, например, на основе нового алгоритма, необходимо сопоставить его характеристики с ранее разработанными декодерами, чтобы доказать его конкурентоспособность.

Во многих научных работах, посвященных аппаратным реализациям декодеров, приводятся полученные характеристики разрабатываемого решения, например, [2, 3]. Однако чаще всего, предлагаемые аппаратные декодеры не публикуются в открытом доступе. Кроме этого, аппаратная имплементация декодера приводится на некоторой, удобной автору работы, аппаратной базе. В связи с этим, сравнение решений между собой и их переиспользование затруднительно.

В работе [4] представлена попытка приблизительно оценить площадь ASIC на основании количества занимаемых элементов в FPGA. Идея заключается в том, чтобы сопоставлять FPGA и ASIC выполненные по одинаковому техпроцессу (с использованием транзисторов одинакового размера). Причем, авторы используют информацию о занимаемой площади кристалла отдельных блоков FGPA, что необходимо для корректного сопоставления. Следует отметить, что авторы проводили исследование на большой выборке различных открытых аппаратных блоков, включая два открытых декодера Рида-Соломона. Однако, данные исследования проводились два десятилетия назад. За прошедшее время ключевым образом поменялась аппаратная база, многократно уменьшился размер транзисторов в микросхемах. Также количество выложенных в открытый доступ современных декодеров сильно увеличилось.

Таким образом, исходя из описанных выше проблем и анализа литературы, который показывает отсутствие централизованной информации о современных открытых аппаратных декодерах в свободном доступе, была собрана библиотека помехоустойчивых кодеров с открытым исходным кодом, включающая декодеры БЧХ, РС, МППЧ, Турбо и Полярных кодов¹.

В данной работе представлен аналитический обзор БЧХ и РС декодеров из этой библиотеки. Каждый декодер из библиотеки был проанализирован, были определены его аппаратные характеристики на единой аппаратной базе.

Отдельное внимание уделяется описанию аппаратной базы, на которой проводилось исследование, а также рассматриваются методы сравнения декодеров, реализованных на разных аппаратных платформах.

При проведении исследований в данной работе использовались методы теории помехоустойчивого кодирования и методы проектирования цифрового дизайна.

Материалы и методы

Линейные циклические коды Боуза-Чоудхури-Хоквингема (БЧХ) и их дальнейшее развитие в виде недвоичных БЧХ кодов, называемых кодами Рида-Соломона (РС), занимают особое место в теории помехоустойчивого кодирования. В отличие от многих других актуальных помехоустойчивых кодов, в основе построения кодов БЧХ, (включая коды РС) и их алгоритмов кодирования и декодирования лежит мощный аппарат современной алгебры, другими словами, они имеют алгебраическую структуру, где каждый элемент представляется как элемент простого или расширенного поля Галуа [2]. Эта структура позволяет строить коды с различными значениями (длин и скоростей) и с заранее заданной и гарантированно обеспечиваемой конструктивными алгоритмами декодирования (конструктивной) корректирующей способностью, что является редкостью для помехоустойчивых кодов. Причем истинная корректирующая способность данных кодов крайне высока, некоторые из них являются

¹ Хрусталев В.В. База данных блоков аппаратных помехоустойчивых кодеров и декодеров: заявл. 11.11.2025; опубл. 19.11.2025. Свидетельство о государственной регистрации базы данных № 2025670042 Российская Федерация.

квазисовершенными. Кроме этого, эти коды имеют несколько алгоритмов декодирования, основанных на алгебре полей Галуа, имеющих квадратичную сложность [5]. Эти свойства кодов БЧХ и РС способствуют их применению во многих системах связи и хранения информации. В частности, их используют в NAND Flash памяти [6], интернет-коммуникациях [7], цифровом телевидении [8] и спутниковой связи².

Успешную конкуренцию алгебраическим кодам создают коды с итеративной процедурой мягкого декодирования: низкоплотностные коды, турбо коды и полярные коды. Удивительно, но мощная алгебраическая основа, позволившая завоевать популярность БЧХ и РС кодам, в некотором смысле теперь мешает им же сохранять свои лидирующие позиции. Это связано с тем, что в современных системах связи и в системах хранения информации выход является «мягким», а не «жестким». Декодирование в этом случае использует вероятности появления символов (дискретных значений 0 или 1), а не сами эти значения. Это делает невозможным решение алгебраических уравнений, так как операции в полях Галуа выполняются с элементами этих полей, и не определены для их вероятностей. Для применения классических алгебраических методов используют метод минимума обобщенного расстояния, который позволяет декодировать «мягкие» значения как серию «жестких» декодирований с ошибками и стираниями (постепенно стираются наименее надежные значения)³ [9].

Вторым существенным недостатком, вызванным использованием алгебраической теории, является отсутствие возможности распараллелить процесс декодирования на самой сложной алгебраической части – нахождения коэффициентов ключевого уравнения. Причем, реализация операций над полями Галуа требует существенных аппаратных затрат. Это приводит к сравнительно большим задержкам декодирования, что оказывается недопустимым для многих современных систем.

Таким образом, коды БЧХ и РС очень хороши в системах с «жестким» выходом канала, когда длина кодового слова и количество исправляемых ошибок сравнительно не высока.

Для декодирования БЧХ и РС кодов могут использоваться классические методы декодирования линейных блочных кодов, например, декодирование по синдрому в случае одной ошибки, или методом перебора всех кодовых слов и поиск ближайшего. Однако для данных кодов разработаны специализированные эффективные алгоритмы декодирования. Причем общая структура всех этих алгоритмов может быть представлена следующими этапами:

- 1 этап: вычисление синдрома;
- 2 этап: вычисление коэффициентов ключевого уравнения;
- 3 этап: поиск решения ключевого уравнения;
- 4 этап: вычисление значения ошибок (только для РС кодов).

Алгоритмы недвоичных РС кодов от двоичных БЧХ кодов отличаются наличием четвертого этапа. Этот этап не требуется для двоичных кодов, так как ошибочный бит однозначно исправляется его инвертированием.

Каждый из представленных этапов может иметь свою реализацию, вне зависимости от следующих этапов. Например, вычисление синдрома в системах с последовательным интерфейсом может быть выполнено при помощи регистра сдвига с обратной связью, а в системах с параллельной загрузкой методом умножения на проверочную матрицу.

² Deutsch L.J., Hsu I.-Sh., Truong T.-K., Reed I.S. VLSI single-chip (255,223) Reed-Solomon encoder with interleaver. US Patent, No. US4907233A. 1990.

³ Трифонов П.В. *Основы помехоустойчивого кодирования*. Санкт-Петербург: Университет ИТМО; 2022. 231 с.

Второй этап вычисления коэффициентов ключевого уравнения является наиболее трудоемким. Существует два широко известных алгоритма для вычисления коэффициентов ключевого уравнения. Исторически первый алгоритм Питерсона-Горенштейна-Цирлера (ПГЦ), его называют прямым методом декодирования, имеет кубическую сложность, а алгоритм Берлекэмп-Месси, который называют итеративным методом декодирования, имеет квадратичную сложность. Часто декодеры БЧХ и РС кодов называют в соответствии с алгоритмом, используемым на втором этапе.

Третий этап декодирования заключается в поиске решения ключевого уравнения. Для реализации этого этапа практически безальтернативно используется метод Ченя [10], который заключается в последовательном переборе всех элементов конечного поля Галуа, пока не будет найдено решение. На практике данный поиск распараллеливают, проверяя в один момент времени сразу несколько элементов поля Галуа в качестве потенциальных корней уравнения. Для уравнений малых порядков, могут применяться прямые методы решения ключевого уравнения.

Четвертый этап, вычисление значения ошибок, может быть выполнен при помощи составления уравнения значений ошибок и его решения методом Ченя, или прямым методом, предложенным Форни. На Рисунке 1 представлены этапы декодирования БЧХ и РС кодов, где n – длина кода, k – количество информационных бит, t – количество исправляемых ошибок.

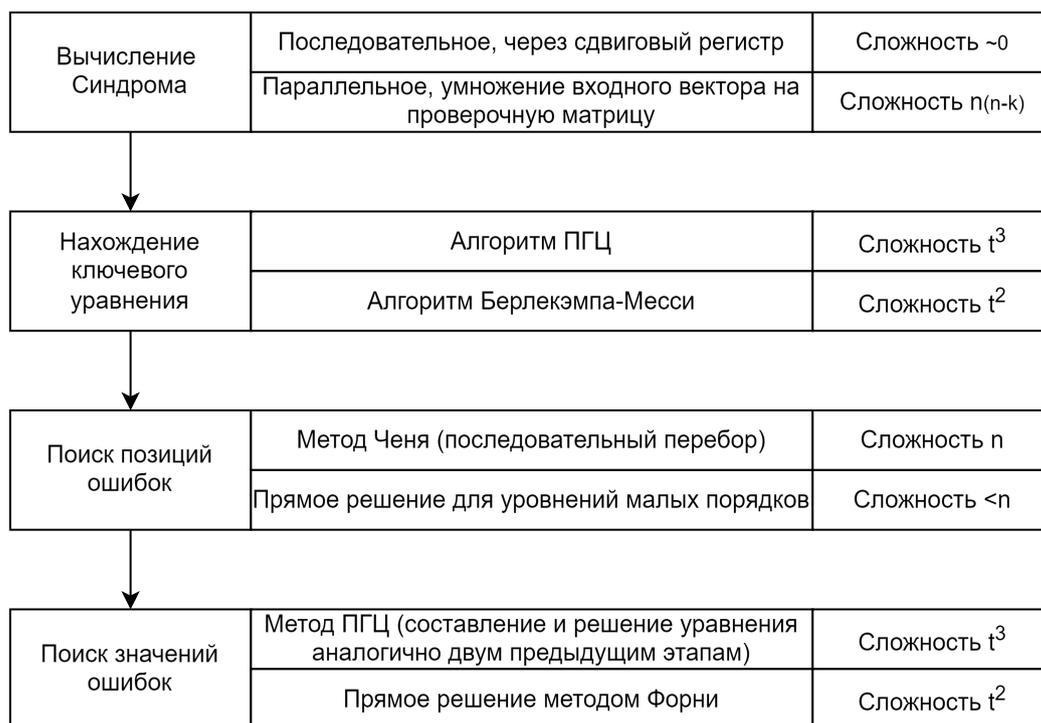


Рисунок 1 – Методы декодирования кодов БЧХ и РС
Figure 1 – Methods for decoding BCH and RS codes

Следует заметить, что для узкого класса БЧХ кодов (с расстоянием 5 и 6) существуют альтернативные алгебраические алгоритмы составления и решения ключевого уравнения. Однако такие декодеры отсутствуют в открытом доступе, а их применение ограничено небольшой корректирующей способностью. По этой причине эти алгоритмы не анализировались в данной работе.

Аппаратная реализация современных помехоустойчивых кодеков может быть выполнена с использованием заказных микросхем (ASIC) или с использованием

программируемых логических микросхем (FPGA, ПЛИС). Заказные микросхемы разрабатываются индивидуально под конкретную задачу и изготавливаются на заводе по определенной технологии. Ключевым показателем микросхемы является размер транзистора в ней. Чем он меньше, тем ниже потребление, выше скорость работы микросхемы и меньше площадь, но тем выше вероятность брака и меньшая защищенность от внешних негативных факторов (например, радиационного излучения). Стоимость изготовления заказных микросхем, не включая трудоемкий процесс разработки топологии кристалла, очень велика и окупается лишь при очень большом тиражировании. Также, ограничивающим фактором является наличие санкций.

FPGA в некотором смысле также является заказной микросхемой, так как может производиться на тех же заводах и по тем же технологиям, что и ASIC. Ключевым отличием является то, что FPGA разрабатывается не под конкретную задачу, а под множество задач. Для этого в ней используется большое количество простых логических блоков с возможностью конфигурации как их самих, так и связей между ними. Таким образом, для отладки и небольшого тиражирования экономически целесообразно приобрести несколько FPGA.

Концептуальные различия архитектуры, связанные с природой ASIC и FPGA не позволяют с высокой точностью сопоставлять и сравнивать реализованные на них дизайны между собой. Более того, сопоставление даже разных техпроцессов для ASIC или различных поколений FPGA также затруднительно.

Для того, чтобы иметь возможность достаточно точно сопоставлять различные дизайны между собой необходимо оценить их характеристики на единой технологической базе. В качестве такой базы в представленной в статье библиотеке помехоустойчивых кодеков была использована микросхема FPGA производителя AMD (Xilinx). В качестве целевой платформы была выбрана отладочная плата AMD Virtex UltraScale+ FPGA VCU118 Evaluation Kit [11]. В данной отладочной плате используется FPGA микросхема XCVU9P-L2FLGA2104E. Следует отметить, что выбранная FPGA является современной и очень производительной микросхемой для прототипирования. Она предназначена для прототипирования больших современных микросхем. Важно заметить, что при проведении оценок аппаратной сложности декодеров необходимо гарантировать, что абсолютно любой современный декодер способен быть имплементирован на базе выбранной FPGA с большим (как правило, многократным) запасом.

Для дальнейшего сопоставления ресурсов, занимаемых декодером, с общими ресурсами FPGA, в Таблице 1 приведены основные характеристики данной FPGA.

Таблица 1 – Количество ресурсов в VCU118
Table 1 – Number of resources in VCU118

Характеристика	Величина
System Logic Cells	2 586 120
CLBs Flip-Flops	2 364 480
CLB LUTs	1 182 240
Max. Distributed RAM (Mb)	36,1
Block RAM Blocks	2 160
Block RAM (Mb)	75,9
UltraRAM Blocks	960
UltraRAM (Mb)	270
DSP Slice	5 840

Как видно из таблицы, FPGA состоит из многих блоков. Эти блоки между собой связываются через специальные линии межсоединений. Типы блоков можно разделить на универсальные конфигурируемые логические блоки (CLB), блоки памяти (RAM) и специализированные вычислительные блоки для цифровой обработки сигналов (DSP).

Одной из ключевых особенностей FPGA является использование одного универсального элемента для выполнения любых логических функций. Данный элемент называется Look-up Table (LUT). Идея заключается в том, чтобы хранить аргументы и результаты некоторой логической функции в таблице. В каждый момент времени производится поиск в таблице строки со значениями, соответствующими входным аргументам. На выход подается значение результата (из столбца результатов таблицы) для найденной строки. Данные таблицы заполняются на этапе «прошивки» FPGA. Эта идея позволяет существенно снизить требования к межсоединениям и способствует унификации элементов, так как соединяются не отдельные ячейки, реализующие логические функции, а одинаковые LUT, одновременно реализующие сразу несколько логических операций.

Теперь рассмотрим структуру основного конфигурируемого логического блока (CLB) данной FPGA. Каждый конфигурируемый логический блок (CLB) содержит 8 LUT и 16 триггеров. В дополнение к LUT и триггерам, CLB содержит арифметическую логику переноса и мультиплексоры для создания более широких логических функций. Триггеры в CLB блоках могут использоваться для реализации небольших блоков памяти RAM. Однако, такие блоки памяти расходуют ценные CLB блоки и возможные объемы таких памяти существенно ограничены. Чтобы избавиться от этих недостатков в FPGA предусмотрены отдельные блоки памяти. Причем, эти блоки памяти имеют разную конфигурацию для достижения большей гибкости.

Для ускорения различных арифметических операций, кроме универсальных логических CLB блоков, в FPGA присутствуют специализированные вычислительные DSP блоки. Каждый DSP состоит из выделенного умножителя и 48-битного аккумулятора. Кроме того, DSP включает в себя дополнительный предварительный сумматор. Функция XOR шириной 96 бит, программируемая на ширину 12, 24, 48 или 96 бит, позволяет улучшить производительность при реализации алгоритмов коррекции ошибок и проверки циклическим избыточным кодом. Также, DSP совместно с логическим блоком способен реализовывать логические функции шириной 96 бит. Блоки DSP хорошо поддерживают механизмы конвейеризации и расширения, и активно используются за пределами цифровой обработки сигналов, например, в генераторах адресов памяти, широких мультиплексорах и т. д.

Резюмируя вышесказанное, можно отметить, что используемая при исследованиях микросхема FPGA содержит большое количество специализированных гибко конфигурируемых блоков. На Рисунке 2 представлена общая структурная схема современных ПЛИС.

Эти блоки можно разделить на три категории: логические блоки, блоки памяти и вычислительные dsp блоки. При сопоставлении аппаратной сложности разных декодеров не всегда можно однозначно сказать, чья сложность выше, так как в зависимости от реализации, один декодер может требовать больше памяти, а другой – логики.

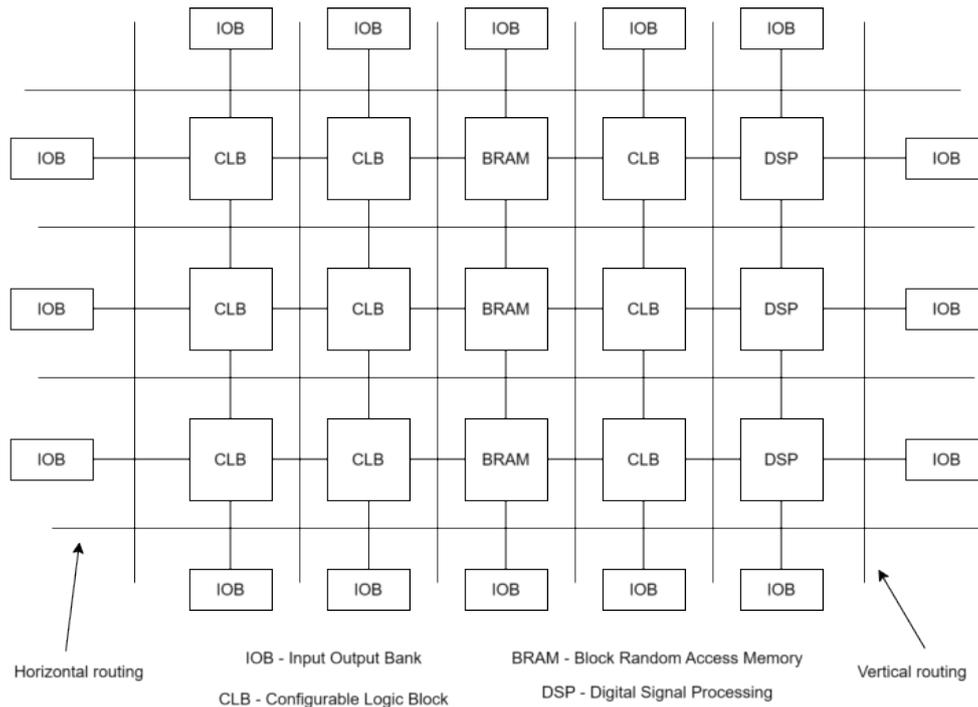


Рисунок 2 – Общая структурная схема ПЛИС
Figure 2 – General block diagram of FPGA

Характеристики проектов декодеров можно разделить на две группы. К первой группе относятся аппаратные характеристики декодеров, такие как максимальная тактовая частота, пропускная способность, требования к ресурсам, энергопотребление. Ко второй группе проектов открытых декодеров относятся характеристики, связанные с сопровождением декодера разработчиками (качество кода и наличие документации).

Аппаратные характеристики декодеров измерялись путем имплементации для платформы VCU118, описанной выше. Для этого использовалось программное обеспечение AMD (xilinx) Vivado 2021.1. Определение максимальной тактовой частоты производилось итеративным способом. Первые попытки оценить декодер производились на заведомо высоких частотах. Далее, в зависимости от разницы между допустимой и наихудшей рассчитанной длиной критических путей, производилась коррекция частоты. Такая процедура повторялась до того момента, пока длины всех критических путей не становились допустимыми для заданной частоты. Пропускная способность блоков оценивалась на основании приведенной в документации информации. Оценка занимаемых ресурсов и энергопотребления производилась по отчетам имплементации ПО Vivado.

Оценки сопровождения декодера его автором производились субъективно. При оценке качества кода выставлялась оценка «высокое», если код хорошо декомпозирован и читаем, присутствуют комментарии, раскрывающие алгоритм. Оценка «среднее» выставлялась в случае наличия в блоке тяжело-воспринимаемых блоков, недостаточная декомпозиция. Оценка «низкое» выставлялось для блоков, чье изучение существенно затруднено. В случае, если исходный код генерировался, а не вручную разрабатывался, то ставилась оценка «автосгенерированный код».

Наличие документации также оценивалось субъективно. Если в документации описывается хотя бы минимальная информация о блоке (например, приводится название алгоритма, поддерживаемые режимы, некоторые оценки), то обозначалось, что блок содержит документацию. Отсутствие документации обозначалось при полном ее

отсутствии. В некоторых случаях, когда авторы приводят статью, в которой описан алгоритм их декодера, об этом сообщается в пункте дополнительно.

Исходные коды представленных блоков и их запуск производился вручную. В случае, если блок не синтезировался/имплементировался из-за ошибок, производилась формальная попытка запустить его за 30 минут рабочего времени инженера. Если это сделать не удавалось, выносилось решение, что блок содержит серьезные недочеты и дальнейшие попытки его запустить не применялись. Также, следует обратить внимание, что функциональная корректность блоков и качество декодирования не проверялось в виду очень высокой трудоемкости, связанной с необходимостью разработки для блоков специализированных тестов. Анализ корректности реализаций алгоритмов декодирования и их особенностей производился вручную, в связи с этим присутствует некоторый риск наличия неточностей и ошибок в оценках.

Результаты

Для оценки сложности аппаратной реализации современных алгоритмов декодирования и объединения разрозненных декодеров была собрана библиотека помехоустойчивых декодеров различных современных помехоустойчивых кодов (RS, BCH, Turbo, LDPC, Polar)¹. Наличие подобной библиотеки будет полезно для разработки и оценки новых перспективных алгоритмов декодирования, оптимизированных под аппаратную реализацию. Кроме того, представленные декодеры могут непосредственно использоваться в некоторых системах, если их характеристики соответствуют требованиям проектов.

Библиотека помехоустойчивых декодеров формировалась из нескольких основных источников. Во-первых, рассматривались открытые и не коммерческие декодеры, опубликованные в библиотеках аппаратных блоков `opencores` и `freecores`. Во-вторых, были рассмотрены все найденные на крупнейшем сервисе открытых исходных кодов `github` аппаратные декодеры. В-третьих, были проанализированы автоматически-сгенерированные декодеры, полученные с помощью коммерческого продукта `Matlab`. Дополнительно, в качестве некоторого эталона, в библиотеке приводятся характеристики закрытых помехоустойчивых IP блоков от крупнейших вендоров `AMD` и `Intel`.

В библиотеке собрано 28 аппаратных кодеков для кодов Рида-Соломона и БЧХ. Часть декодеров содержит выявленные автором ошибки, из-за которых использование этих декодеров невозможно. Другая часть декодеров не рекомендована автором к использованию по иным причинам (например, в случае очень плохого качества кода). Из 28 исследованных кодеков 19 представляют собой декодеры хорошего качества. Среди них в библиотеке представлен один кодер Рида-Соломона, необходимый для примерного сопоставления аппаратной сложности кодирования со сложностью декодирования.

Для сокращения объемов данной работы в ней представлена лишь небольшая часть декодеров из созданной библиотеки. Полная таблица с декодерами из описываемой библиотеки доступна в сети интернет⁴.

В Таблице 2 представлен краткий список аппаратных помехоустойчивых декодеров кодов Рида-Соломона и БЧХ.

⁴ v-crys / open_source_fec_lib. GitHub. URL: https://github.com/v-crys/open_source_fec_lib (дата обращения: 05.01.2026).

Таблица 2 – Краткий список декодеров BCH и PC
Table 2 – A short list of BCH and RS decoders

#	Название	Параметры кода	Алгоритм	Краткое описание
1	Matlab RS HDL	PC (255, 239)	БМ	Коммерческое решение. Код декодера генерируется. Есть поддержка различных параметров кода при генерации
2	Intel (Xilinx) RS	PC (255, 239)	Неизвестно	Закрытый исходный код. Есть возможность настройки параметров кода
3	Opencores RS Encoder	PC (255, 239)	Кодер	Открытый кодер
4	BCH code with optional erasures (des-00)	БЧХ (255, 223)	БМ	Открытый, конфигурируемый декодер БЧХ кода
5	RS code with optional erasures (des-00)	PC (240, 210)	БМ	Открытый конфигурируемый декодер PC кода
6	Opencores BCH (dec_enc_bcd)	БЧХ (78, 64)	Табличный	Открытый табличный БЧХ декодер с возможностью параметризации

В результате проведенных исследований на каждый блок в библиотеке было собрано свое «досье» с описанием и результатами анализа. Ознакомиться с результатами возможно в сети интернет (для получения большей информации обратитесь к автору)⁴.

Для большей наглядности информация из рассматриваемой библиотеки была структурирована в таблицу. Как было сказано ранее, для краткости в данной работе приводится 6 наиболее понравившихся автору декодеров. Также, из большого списка аппаратных ресурсов, используемых блоками, были оставлены основные: логические таблицы поиска (LUT), триггеры (FF) и блоки памяти (BRAM). В Таблице 3 представлены аппаратные характеристики вышеописанных блоков.

Таблица 3 – Аппаратные характеристики декодеров BCH и PC
Table 3 – Hardware characteristics of BCH and RS decoders

#	Пропускная способность (Гбит/с)	Максимальная частота (МГц)	Энергопотребление (Вт)	LUT	FF	BRAM
1	0,6	150	2,698	4454	2736	1
2	4,8	600	2,594	810	810	1
3	Неизвестно	715	4,26	672	248	0
4	0,769	769	2,549	1051	667	0
5	3,4	425	2,996	9574	2579	1
6	25,74	330	4,13	9150	142	0

В Таблице 4 представлена субъективная оценка качества блоков и документации.

Таблица 4 – Субъективная оценка рассматриваемых блоков
Table 4 – Subjective assessment of the blocks under consideration

#	Качество кода	Наличие документации
1	Автосгенерированный код	Есть
2	Неизвестно	Есть
3	Среднее	Нет
4	Хорошее	Есть
5	Хорошее	Есть
6	Среднее	Есть

Обсуждение

Из Таблицы 3 следует, что аппаратные реализации декодеров даже одинаковых кодов, могут сильно различаться. Их сравнение между собой и определение единой величины «эффективности» декодера не уместно, так как каждый декодер разработан под свое конкретное применение и имеет свои особенности, такие как возможность реконфигурации, последовательный или параллельный интерфейс и т. д. В связи с этим декодеры представлены в таблице в произвольном порядке и не отсортированы. Таким образом, библиотека может рассматриваться как фрагмент справочника по декодерам помехоустойчивых кодов, который позволяет пользователям самостоятельно выбрать наиболее подходящий для них декодер, или, оценить самостоятельно разработанный с представленными в справочнике аналогами.

В случае, если необходимо сравнить характеристики открытого декодера, представленного в библиотеке с характеристиками некоторого закрытого декодера, то можно воспользоваться работой [4]. Результаты этого исследования показывают, что если аппаратный блок использует только конфигурируемые логические блоки, то занимаемая используемыми в FPGA элементами площадь в 40 раз превосходит площадь аналогичного блока в ASIC. В случае, если в блоке используются блоки памяти и DSP, то разрыв сокращается до 21 раза. Максимальная тактовая частота одного и того же дизайна для ASIC примерно в 3–4 раза выше, чем для FPGA и варьируется в зависимости от использования высокоскоростных DSP блоков в FPGA. Потребление одинаковых дизайнов для FPGA примерно в 12 раз выше, чем для ASIC.

Для сопоставления декодеров, реализованных под ASIC можно воспользоваться классическим методом нормализации различных техпроцессов (например, используемый в работе [12]). Для этого находится отношение размеров техпроцессов. Далее, считается, что максимальная рабочая частота микросхемы линейно зависит от размера техпроцесса, а площадь имеет квадратичную зависимость. Так, например, сравнивая два декодера на 90 нм и 180 нм путем нормировки 180 нм декодера к 90 нм декодера, тактовая частота 180 нм декодера увеличивается вдвое, а его площадь сокращается в 4 раза. Таким образом, общая эффективность MHz/mm² возрастает в 8 раз. Следует отметить, что этот метод не учитывает никаких характеристик технологических библиотек, кроме как размеров, поэтому его точность не высока.

Таким образом, исходя из приведенных выше данных, можно приблизительно, порой с существенной погрешностью, проводить сопоставление характеристик декодеров, реализованных под разные аппаратные платформы.

При этом, для точного сравнения собственного декодера с открытыми аналогами достаточно имплементировать его под описанную аппаратную платформу.

Заключение

В работе представлена и проанализирована собранная из различных источников библиотека аппаратных помехоустойчивых декодеров. Подробно рассматривается часть этой библиотеки, посвященная декодерам кодов Рида-Соломона и БЧХ. Описываются особенности аппаратных платформ, используемых для реализации помехоустойчивых декодеров и методы их приблизительного сопоставления между собой.

Ключевой частью работы является описание собранной библиотеки и метода анализа входящих в нее блоков на единой современной аппаратной базе. Также приводятся результаты оценки характеристик некоторых аппаратных блоков из собранной библиотеки.

Представляемая библиотека является полезным справочником, необходимым при выборе готового блока, разработке нового блока под заданные требования или сопоставления результатов разработанного блока с блоками других авторов. Кроме того, она будет полезна при разработке новых алгоритмов декодирования, ориентированных на аппаратную реализацию.

СПИСОК ИСТОЧНИКОВ / REFERENCES

1. Micheloni R., Crippa L., Marelli A. *Inside NAND Flash Memories*. Dordrecht: Springer; 2010. 582 p. <https://doi.org/10.1007/978-90-481-9431-5>
2. Lee K., Kang H.-G., Park J.-I., Lee H. 100GB/S two-iteration concatenated BCH decoder architecture for optical communications. In: *2010 IEEE Workshop On Signal Processing Systems, 06–08 October 2010, San Francisco, CA, USA*. IEEE; 2010. P. 404–409. <https://doi.org/10.1109/SIPS.2010.5624879>
3. Mhaske S.D., Ghodeswar U., Sarate G.G. Design of area efficient Reed Solomon decoder. In: *2014 2nd International Conference on Devices, Circuits and Systems (ICDCS), 06–08 March 2014, Coimbatore, India*. IEEE; 2014. P. 1–4. <https://doi.org/10.1109/ICDCSyst.2014.6926169>
4. Kuon I., Rose J. Measuring the Gap Between FPGAs and ASICs. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. 2007;26(2):203–215. <https://doi.org/10.1109/TCAD.2006.884574>
5. Берлекэмп Э. *Алгебраическая теория кодирования*. Москва: Мир; 1971. 477 с.
Berlekamp E. *Algebraic coding theory*. Moscow: Mir; 1971. 477 p. (In Russ.).
6. Nabipour S., Javidan J., Drechsler R. Trends and challenges in design of embedded BCH error correction codes in multi-levels NAND flash memory devices. *Memories – Materials, Devices, Circuits and Systems*. 2024;7. <https://doi.org/10.1016/j.memori.2024.100099>
7. Yang L., Tian J., Wu B., Wang Zh., Ren H. An RS-BCH Concatenated FEC Code for Beyond 400 Gb/s Networking. In: *2022 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), 04–06 July 2022, Nicosia, Cyprus*. IEEE; 2022. P. 212–216. <https://doi.org/10.1109/ISVLSI54635.2022.00049>
8. Быков В.В., Меньшиков К.В. Помехоустойчивые коды цифрового телевидения. *T-Comm: Телекоммуникации и транспорт*. 2013;7(9):30–33.
Bykov V.V., Menshikov K.V. Jam-resistant digital television codes. *T-Comm*. 2013;7(9):30–33. (In Russ.).
9. Shany Y., Berman A. Fast Syndrome-Based Chase Decoding of Binary BCH Codes Through Wu List Decoding. *IEEE Transactions on Information Theory*. 2023;69(8):4907–4926. <https://doi.org/10.1109/TIT.2023.3263185>
10. Ковалев С.И., Хрусталева В.В. Исправление двух ошибок кодом Боуза-Чоудхури-Хоквингема, построенном на основе лексикографически упорядоченной

проверочной матрицы. В сборнике: *Научная сессия ГУАП: Сборник докладов: Часть I, 09–13 апреля 2018 года, Санкт-Петербург, Россия*. Санкт-Петербург: Санкт-Петербургский государственный университет аэрокосмического приборостроения; 2018. С. 97–100.

Kovalev S.I., Khrustalev V.V. Double error correction by the BCH code based on lexicographic parity check matrix. In: *Nauchnaya sessiya GUAP: Sbornik dokladov: Part I, 09–13 April 2018, Saint Petersburg, Russia*. Saint Petersburg: Saint-Petersburg State University of Aerospace Instrumentation; 2018. P. 97–100. (In Russ.).

11. Тарасов И. Описание архитектуры FPGA семейств UltraScale компании Xilinx. *Компоненты и технологии*. 2014;(2):38–46.
12. Cui H., Ghaffari F., Le Kh., et al. Design of High-Performance and Area-Efficient Decoder for 5G LDPC Codes. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2021;68(2):879–891. <https://doi.org/10.1109/TCSI.2020.3038887>

ИНФОРМАЦИЯ ОБ АВТОРЕ / INFORMATION ABOUT THE AUTHOR

Хрусталеv Владимир Викторович, аспирант Санкт-Петербургского государственного университета аэрокосмического приборостроения, Санкт-Петербург, Российская Федерация.

Vladimir V. Khrustalev, Postgraduate, Saint-Petersburg State University of Aerospace Instrumentation, Saint-Petersburg, the Russian Federation.

e-mail: v_crys@mail.ru

ORCID: [0009-0003-8742-1878](https://orcid.org/0009-0003-8742-1878)

Статья поступила в редакцию 03.02.2026; одобрена после рецензирования 26.02.2026; принята к публикации 13.03.2026.

The article was submitted 03.02.2026; approved after reviewing xx.xx.2025; accepted for publication 13.03.2026.